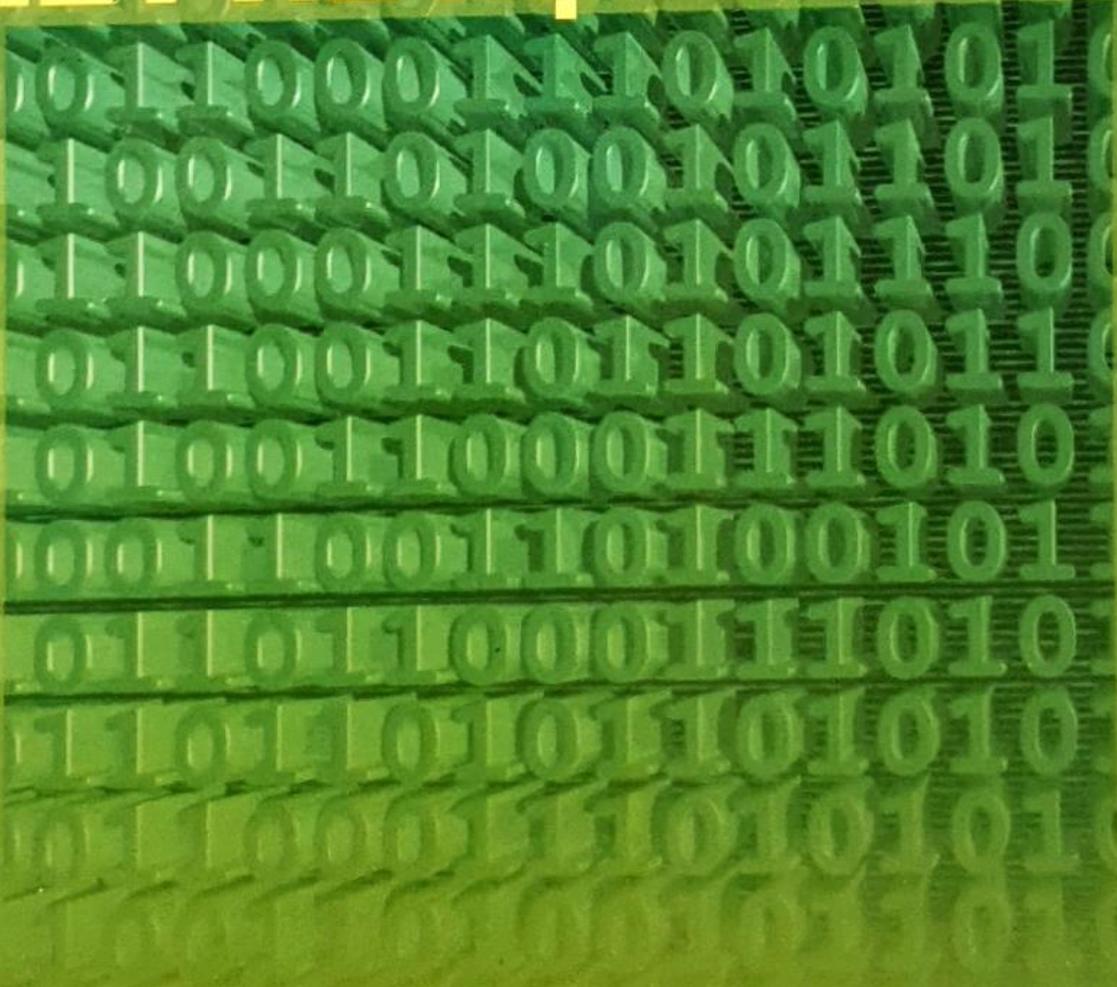




TRƯỜNG ĐẠI HỌC CÔNG NGHIỆP HÀ NỘI

GIÁO TRÌNH

THIẾT KẾ HỆ THỐNG SỐ



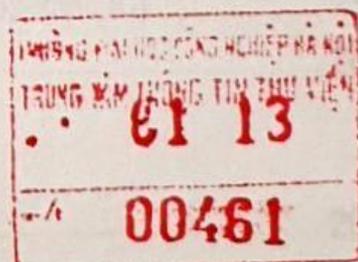
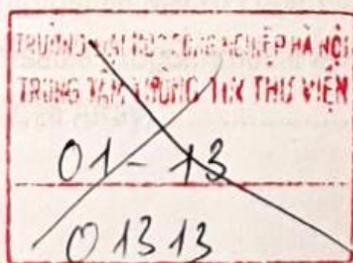
NHÀ XUẤT BẢN GIÁO DỤC VIỆT NAM

TRƯỜNG ĐẠI HỌC CÔNG NGHIỆP HÀ NỘI

NGUYỄN VIỆT TUYẾN - TỐNG VĂN LUYÊN - NGUYỄN ANH DŨNG

GIÁO TRÌNH

THIẾT KẾ HỆ THỐNG SỐ



NHÀ XUẤT BẢN GIÁO DỤC VIỆT NAM

MỤC LỤC

Lời nói đầu	5
Chương I. Tổng quan về mạch logic lập trình được	
1.1. Lịch sử phát triển vi mạch số lập trình được.....	7
1.2. Cấu trúc chung của thiết bị Logic lập trình được PLA (PROGRAMMABLE LOGIC ARCHITECTURE).....	10
1.3. Các họ vi mạch lập trình được.....	13
1.3.1. Họ vi mạch PROM (Programmable Read Only Memory)	13
1.3.2. Họ vi mạch PAL (Programmable Array Logic)	14
1.3.3. Họ vi mạch GAL (Generic Array Logic).....	18
1.3.4. Họ vi mạch PEEL (Programmable Electrically Erasable Logic).....	20
1.3.5. Họ vi mạch EPLD (Erasable PLD).....	22
1.3.6. Họ vi mạch PML (Programmable Macro Logic)	23
1.3.7. Họ vi mạch ERASIC (Erasable Programmable Application Specific IC)	25
1.3.8. Họ vi mạch LCA (Logic Cell Array).....	26
Chương II. Giới thiệu chung FPGA	
2.1. Kiến trúc FPGA.....	29
2.2. Khối logic (CONFIGURABLE LOGIC BLOCK CLB)	29
2.3. Khối I/O (CONFIGURABLE I/O BLOCK)	31
2.4. Các thiết bị nhúng	33
2.5. Đường kết nối (PROGRAMMABLE INTERCONNECT)	34
2.6. Mạch đồng hồ.....	35
2.7. EMULATING AND PROTOTYPING ASICS.....	35
2.8. Giới thiệu chip SPARTAN-3AN.....	35
2.8.1. Introduction.....	35
2.8.2. Các đặc tính.....	36
2.8.3. Tổng quan về kiến trúc (Architectural Overview)	37
2.8.4. Configuration	39
2.8.5. Bộ nhớ trong Flash (In-System Flash Memory)	39

2.8.6. I/O Capabilities	40
2.8.7. Cách đọc các tham số trên chip	41

Chương III. Cấu trúc của CPLD

3.1. Tổng quan về công nghệ CPLD	42
3.1.1. Kiến trúc CPLD	42
3.1.2. Khối chức năng	43
3.1.3. Khối vào/ra (I/O)	46
3.1.4. Bộ điều khiển xung clock	47
3.1.5. Kết nối	48
3.1.6. Công nghệ CPLD và các phần tử lập trình được	49
3.1.7. Các thiết bị nhúng	50
3.1.8. Tổng kết: Tiêu chí lựa chọn CPLD	50
3.2. Giới thiệu CPLD của XILINX	51
3.2.1. Họ CPLD XC9500	51
3.2.2. Họ CPLD CoolRunner-II	55
3.2. Giới thiệu CPLD của ALTERA	58
3.3.1. Tổng quan về các họ CPLD của Altera	58
3.3.2. Họ CPLD MAX 7000	59

Chương IV. Thiết kế ứng dụng với FPGA và CPLD

4.1. Trình tự thiết kế	63
4.2. Tổng quan về ALTRIUUM NANOBOARD 3000	65
4.3. Thiết kế các ứng dụng trên ALTRIUUM NANOBOARD 3000AN	72
4.3.1. Giới thiệu chung	72
4.3.2. Các bước thiết kế	73

Phụ lục: Thiết kế ứng dụng trên Altium Nanoboard 3000	88
--	-----------

<i>Tài liệu tham khảo</i>	122
---------------------------------	------------

Lời nói đầu

Trong những năm gần đây công nghệ điện tử đã và đang phát triển nhảy vọt. Các loại IC LSI (Large Scale Integration), VLSI (Very Large Scale Integration) với khả năng tích hợp tới hàng triệu Transistor đã ra đời với nhiều ứng dụng khác nhau trong Công nghệ thông tin, Điện tử viễn thông, Tự động hoá... không ngừng đáp ứng các nhu cầu của xã hội. Một trong những công nghệ mới được ra đời, có thể thay thế cho các hệ thống số trước đây đòi hỏi rất nhiều thời gian và chi phí cho nghiên cứu và chế tạo, đó là công nghệ ASIC (Application Specific Integrated Circuit). Dẫn đầu trong lĩnh vực này là sản phẩm FPGA (Field Programmable Gate Array) và CPLD (Complex Programmable Logic Devices). Sử dụng FPGA hoặc CPLD có thể tối thiểu hóa được nhiều công đoạn thiết kế, lắp ráp vì hầu hết được thực hiện trên máy tính. Các ngôn ngữ mô phỏng phần cứng (HDL: Hardware Description Languages) như ABEL, VHDL, Verilog, Schematic... cho phép thiết kế và mô phỏng hoạt động của mạch bằng chương trình. Các chương trình mô phỏng cho phép xác định lỗi thiết kế một cách dễ dàng và kết quả thực hiện của chương trình là một file bit stream (bitstream) để nạp (download) vào FPGA và CPLD để nó hoạt động giống như một mạch logic. Các FPGA và CPLD với khả năng tích hợp cao tới hàng triệu gate và cấu trúc mạch tối ưu hoá mật độ tích hợp, hiệu suất cao cho phép xử lý nhanh số liệu, độ tin cậy và chất lượng cao, để sử dụng do đó được ứng dụng rất đa dạng trong nhiều loại thiết bị điện tử hiện nay.

Để giúp các em sinh viên tiếp cận được công nghệ thiết kế logic sử dụng các vi mạch lập trình được, nhóm tác giả biên soạn giáo trình "Thiết kế hệ thống số".

Do thời gian và khả năng có hạn nên giáo trình chắc còn thiếu sót, các tác giả rất mong nhận được những ý kiến đóng góp của đồng nghiệp và các em học sinh, sinh viên để lần tái bản sau được hoàn thiện hơn.

Các tác giả

T

Trong những năm gần đây công nghệ điện tử đã ra đời rất nhiều sản phẩm mới, trong đó có các loại IC (Integrated Scale Integration) VLSI (Very Large Scale Integration) với khả năng tích hợp rất cao, những sản phẩm này đã thay đổi hoàn toàn bộ mặt của công nghệ điện tử. Những sản phẩm này không những đáp ứng được các yêu cầu về độ tin cậy, tốc độ, mà còn có khả năng tích hợp các chức năng khác nhau trong cùng một chip, điều này đã làm cho việc thiết kế và chế tạo các hệ thống số trở nên đơn giản và dễ dàng hơn. Những sản phẩm này cũng là công nghệ ASIC (Application Specific Integrated Circuit) dẫn đầu trong lĩnh vực này là sản phẩm FPGA (Field Programmable Gate Array) và CPLD (Complex Programmable Logic Device). Sản phẩm FPGA hoặc CPLD có thể coi là bước tiến mới trong công nghệ tích hợp, lập lập và hiệu chỉnh thực tế trên máy tính. Các ngôn ngữ mô phỏng phần cứng (HDL: Hardware Description Language) như VHDL, Verilog, SystemC... cho phép thiết kế và mô phỏng hoạt động của mạch bằng chương trình. Các chương trình mô phỏng cho phép xác định trước các đặc tính của mạch và kiểm tra thực hiện của chương trình là một file bit cấu hình (bitstream) để nạp (download) vào FPGA và CPLD để nó hoạt động giống như một mạch logic. Các FPGA và CPLD với khả năng tích hợp cao từ hàng triệu gate và cấu trúc mạch tối ưu nhất đã tích hợp hiệu suất cao cho phép xử lý nhanh số liệu, do đó đây là giải pháp tốt để sử dụng do đó được ứng dụng rất đa dạng trong nhiều loại thiết bị điện tử hiện nay.

Để giải các em sinh viên tiếp cận được công nghệ thiết kế logic số bằng các vi mạch lập trình được, nhóm tác giả biên soạn giáo trình "Thiết kế logic số".